

(19) JAPANESE PATENT OFFICE (JP)

(11) Japanese Laid-Open Patent Application (Kokai) No. H3-2579

(12) Official Gazette for Laid-Open Patent Applications (A)

(51) Int. Cl<sup>5</sup>      Classification Symbols      JPO File Nos.

G01R 31/318

6912-2G      G01R 31/28 A

(43) Disclosure Date: January 8, 1991

Request for Examination: Not yet submitted

Number of Claims: 3

(Total of 12 pages [in original])

---

(54) Title of Invention: Logic Circuit Testing Method Using Compressed Data and Apparatus Therefor

(21) Application No.: H1-136504

(22) Filing Date: May 30, 1989

(72) Inventor: Shuichi Kameyama  
c/o Fujitsu Limited  
1015 Kami-Kodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa

(72) Inventor: Koichi Shinoda  
c/o Fujitsu Limited  
1015 Kami-Kodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa

(72) Inventor: Fumio Oono  
c/o Fujitsu Limited  
1015 Kami-Kodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa

(72) Inventor: Shinji Yamamoto  
c/o Fujitsu Limited  
1015 Kami-Kodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa

(71) Applicant: Fujitsu Limited

1015 Kami-Kodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa

(74) Agent: Sadakazu Igeta, Patent Attorney and two others

## Specification

### 1. Title of Invention

Logic Circuit Testing Method Using Compressed Data and Apparatus Therefor

### 2. Patent Claims

1) A logic circuit testing method using compressed data comprising the steps of:

producing a test pattern comprising an input pattern for testing a logic circuit and a normal output pattern of said logic circuit for said input pattern, using design data for the logic circuit being tested (1S);

converting said test pattern to compressed data by extracting, from said test pattern, data effective for testing (2S);

storing said compressed data in a memory medium (3S);

sequentially reading out said compressed data from said memory medium (4S);

restoring the pre-compression test pattern from the compressed data so read out (5S);

sending the restored input pattern to the logic circuit and causing the logic circuit to operate (6S); and

comparing the output pattern of said logic circuit with the restored normal output pattern (7S).

2) A logic circuit testing apparatus which uses compressed data, having:

means (1) for storing compressed data, for test patterns comprising combinations of input patterns and normal output patterns, comprising: input/output point identifying numbers corresponding to those bits, of bit data configuring said test patterns, that are effective for testing, and to bits having one value of two values; and the numerical count of said input/output point identifying numbers belonging to said test patterns;

test pattern restoration means (2) for sequentially reading out said compressed data from said storage means, and restoring the pre-compression test pattern from said compressed data; and

test execution means (3) for testing a logic circuit (4) that is being tested, by sending the restored input pattern to said logic circuit, causing said logic circuit to operate, and comparing the output pattern of said logic circuit with the restored normal output pattern.

3) A logic circuit testing apparatus which uses compressed data, having:

means (1) for storing compressed data, for test patterns comprising combinations of input patterns and normal output patterns, comprising: input/output point identifying numbers corresponding to those bits, of bit data configuring said test patterns, that are effective for testing, and to said bits the values whereof differ from the previous values; the values of said bits corresponding to said input/output point identifying numbers; and the numerical count of said input/output point identifying numbers belonging to said test patterns;

test pattern restoration means (2) for sequentially reading out said compressed data from said storage means, and restoring the pre-compression test pattern from said compressed data; and

test execution means (3) for testing a logic circuit (4) that is being tested, by sending the restored input pattern to said logic circuit, causing said logic circuit to operate, and comparing the output pattern of said logic circuit with the restored normal output pattern.

## **2. Detailed Description of Invention**

### **(Table of Contents)**

Overview

Industrial Field of Use

Prior Art (Fig. 9 to 11)

Problems Invention Would Resolve

Means for Resolving Problems (Fig. 1 and 2)

How It Works

Embodiments

First embodiment (Fig. 3 to 6)

Second embodiment (Fig. 7 and 8)

Benefits of Invention

### **(Overview)**

[This invention] relates to a logic circuit testing method, and apparatus therefor, for performing operating tests on logic circuits using data wherein test patterns have been compressed.

Objects thereof are to lessen the number of memory media for test pattern storage and to shorten both data transfer times and the time required for testing.

[The present invention] is configured so as to produce a test pattern comprising an input pattern for testing a logic circuit and a normal output pattern of the logic circuit for the input pattern, using design data for the logic circuit being tested, convert said test pattern to compressed data by extracting, from the test pattern, data effective for testing, store the compressed data in a memory medium, sequentially read out said compressed data from the memory medium, restore the pre-compression test pattern from the compressed data so read out, send the restored input pattern to the logic circuit and cause the logic circuit to operate, and compare the output pattern of the logic circuit with the restored normal output pattern.

#### **(Industrial Field of Use)**

The present invention relates to a logic circuit testing method, and apparatus therefor, for performing operating tests on logic circuits using data wherein test patterns have been compressed.

#### **(Prior Art)**

With operating tests on logic circuits, using a tester, from a test pattern comprising a combination of an input pattern and a normal output pattern, the input pattern is sent to a logic circuit, one clock pulse is sent to the logic circuit and this logic circuit is made to operate, and then that output pattern and the normal output pattern are compared, whereupon a judgment is made as to whether the operation of the logic circuit is normal or not. This test pattern is produced on the basis of design data for the logic circuit being tested, using a computer separate from the tester.

However, the test pattern production time becomes longer as the size of the logic circuit increases, it being said that, if  $G$  is the number of gates in the logic circuit, the test pattern production time will on average be proportional to  $G^{2.2}$  [legibility?]. Thereupon, when testing a large logic circuit, a method is employed wherewith, as diagrammed in Fig. 9, the logic circuit on a board 10 being tested is divided into partial logic circuits  $a$  to  $h$  that are mutually independent in the tests, test patterns are sent to each of these partial logic circuits, and tests are performed. For each of the partial logic circuits, input and output points are determined, working backward from the output side to the input side, and, in general, there will be partial redundancy with other partial circuits.

Fig. 10 represents a test pattern for a logic circuit divided into a plurality of partial logic circuits. This test pattern will comprise a number of patterns corresponding to the partial logic circuits and to the test objective.

In Fig. 11 is diagrammed the configuration of the critical components of a logic circuit testing apparatus that uses test patterns. The test patterns are written to a test pattern memory 12, addresses are sequentially assigned to the test patterns by an address controller circuit 14, and these are sent to a test interface 16. The test interface 16 comprises units 16i having the same configuration, in a number equal to the number of input/output testing points (there being several thousand points when testing LSIs, for example). Each unit 16i comprises a D flip-flop 18 for holding 1 bit of data configuring a test pattern with the timing of a clock pulse, and a waveform forming and comparing circuit 20 connected between the Q output terminal of the D flip-flop 18 and one terminal of the board 10 being tested. This waveform forming and comparing circuit 20 functions as an output waveform forming circuit when a switch control signal is at high level, for example, whereupon the pulses formed by this circuit are sent to the board 10 being tested. When the switch control signal is at low level, on the other hand, [the waveform forming and comparing circuit 20] functions as a comparator circuit, comparing the bit data of output patterns sent from the board 10 being tested with the Q outputs of the D flip-flops 18 and outputting the results of those comparisons.

#### **(Problems Invention Would Resolve)**

However, because it is necessary to write numerous test patterns corresponding to the partial logic circuits and the test objective to the test pattern memory 12, the volume of test pattern data becomes enormous. For that reason, there have been problems such as that numerous memory media, such as magnetic tapes, for example, are required for storing the test patterns (something like 10 reels [being required] for an LSI), and, due to the necessity of frequently transferring data to the test pattern memory of the tester, data transfer times and the time required for testing become long.

In view of such problems as these, an object of the present invention is to provide a logic circuit testing method, and apparatus therefor, capable of lessening the number of necessary memory media for test pattern storage and shortening both data transfer times and the time required for testing.

#### **(Means for Resolving Problems)**

Fig. 1 (A) diagrams the basic principle of a logic circuit testing method relating to the present invention. Fundamentally, this method has the following steps, 1S to 7S.

In step 1S, using design data for the logic circuit being tested, a test pattern is produced which comprises an input pattern for testing the logic circuit and a normal output pattern of said logic circuit for said input pattern.

In step 2S, said test pattern is converted to compressed data by extracting data effective for testing from said test pattern.

In step 3S, those compressed data are stored in a memory medium such as a magnetic tape, for example.

In step 4S, those compressed data are sequentially read out from the memory medium.

In step 5S, the pre-compression test pattern is restored from those compressed data so read out.

In step 6S, the restored input pattern is sent to the logic circuit and the logic circuit is caused to operate.

In step 7S, the output pattern from the logic circuit and the restored normal output pattern are compared.

Fig. 1 (B) is a block diagram representing the configuration of the basic principle of a logic circuit testing apparatus relating to the present invention. This apparatus is an apparatus for executing steps 4S to 7S of the method described above. Steps 1S to 3S are executed by a computer.

In the figure, item 1 is compressed data storage means. For test patterns comprising combinations of input patterns and normal output patterns, in a first invention, as diagrammed in Fig. 2(A), compressed test data comprising input point identification numbers N11, N12 to N1m1 and output point identification numbers N01, N02 to N0n1 corresponding to bits which, of the bit data configuring those test patterns, are effective for testing, and to bits having one value of two values, and the numerical count ( $m1 + n1$ ) of those input/output point identification numbers belonging to those test patterns are stored in memory, while, in a second invention, as diagrammed in Fig. 2(B), compressed test data comprising input point identification numbers N11, N12 to N1m2 and output point identification numbers N01, N02 to N0n2 corresponding to bits which, of the bit data configuring those test patterns, are effective for testing, and to said bits the values whereof differ from the previous values, values of '0' or '1' for those bits corresponding to those input/output point identifying numbers, and the numerical count ( $m2 + n2$ ) of those input/output point identifying numbers belonging to those test patterns are stored in memory.

Item 2 is test pattern restoration means, for sequentially reading out the compressed data from the storage means 1, and restoring the pre-compression test pattern from those compressed data.

Item 3 is test execution means, for testing a logic circuit 4 by sending the restored input pattern to the logic circuit 4 that is being tested, causing the logic circuit 4 to operate, and comparing the output pattern of the logic circuit 4 with the restored normal output pattern.

### **(How It Works)**

From the test pattern data, the ineffective data that generally account for the major portion thereof are removed and the test pattern is compressed as described above, wherefore the data volume is sharply reduced. For that reason, the number of memory media required for test pattern storage can be diminished. Whereas 10 reels of magnetic tape were required conventionally, for example, three reels will suffice if the present invention is used. Furthermore, because it is not necessary to transfer data frequently from an external memory device to the test pattern memory, data transfer times and the time required for testing can be shortened.

### **(Embodiments)**

Embodiments of the present invention are now described with reference to the drawings.

#### **(1) First Embodiment**

Fig. 3 represents a test pattern for a logic circuit that is to be tested.

The total number  $N$  of input/output points for this logic circuit is 2000, for example, and each input/output point is indicated by a pin number 1 to  $N$ . Also, the test patterns are distinguished by numbers. Each test pattern is for performing some operating test on some partial logic circuit. In the table, a '—' represents data that are ineffective for the test, while either a logical '1' or '0' is allowable.

Fig. 4 represents the compressed test pattern data indicated in Fig. 3. These compressed data are comprised of pin numbers  $i$  corresponding to bits that, of the bits configuring the test pattern, are effective for testing, and to bits having a logical '1,' and the numerical count  $k$  of those pin numbers belonging to that test pattern. In Fig. 4, for example, test pattern number 1 has a pin number  $i$  of 1 only and a numerical count  $k$  of 1, test pattern number 3 has pin numbers  $i$  of 2 and 3 and a numerical count  $k$  of 2, and test



pattern number 8 has no pin number  $i$  and a numerical count  $k$  of 0. If done in this way, test patterns can be greatly compressed.

The test patterns are produced on the bases of design data for the logic circuit, using a fast computer (not indicated in the drawings), that ordinarily being a mini-computer or super mini-computer, compressed as described above, and written to a magnetic tape. When the logic circuit is an LSI, unless data compression is performed, the number of reels of such magnetic tapes will become 10 or so, but, with this compression, three reels or so will suffice. Also written to that magnetic tape will be input/output assignment data indicating whether each pin number is an input point or an output point.

Fig. 5 diagrams the configuration of the critical components of a logic circuit testing apparatus (tester) that uses compressed data. Compressed test pattern data for the logic circuit on the board 10 being tested and input/output assignment data are written to a magnetic tape 22, and are read out by a magnetic tape reader 24. A CPU 26 compresses, as described above, the test patterns read by the magnetic tape reader 24, according to a program written to a program memory 28, and writes those compressed data to a numerical count memory 30 and a pin number memory 32 that configure part of the test pattern memory. To a compressed pattern memory 34 are written the logical values of the pin numbers written to the pin number memory 32, which, in this embodiment, are all written as '1s.' For each of the pin numbers 1 to  $N$ , based on the input/output assignment data described above, whether it is an input point or an output point is written to a control register 38, to which [a] 1 bit corresponds, for the waveform forming and comparing circuit 20 in each test interface 16i.

The test interface 16 has the same configuration as that diagrammed in Fig. 11. The configuring elements are designated by the same symbols as those indicated in Fig. 11 and no further description thereof is given. However, a signal line is connected commonly for sending a reset signal RESET to the reset terminal of every D flip-flop 18. The functions of the waveform forming and comparing circuit 20 in the unit 16i are switched, as described in the foregoing, by bit data corresponding to the control register 38. That is, the waveform forming and comparing circuit 20 functions as a waveform forming circuit if the pin corresponding to the pin number is an input point, but functions as a comparator circuit if [that pin] is an output point. The comparison results output from the waveform forming and comparing circuit 20 are written via a data bus DB to a test result memory 40. This data bus DB is also connected between the configuring elements 24 to 38 described above.

A controller circuit 42, for each test pattern, reads out one numerical count  $k$  from the numerical count memory 30, addresses the pin number memory 32 and the compressed pattern memory 34 through a counter 44, sequentially reads out  $k$  pin number data and pattern data belonging to that test pattern, and sends them, respectively, to a decoder 46 and the D flip-flop 18. The decoder 46 decodes the pin numbers sent from the pin number memory 32, and sends a '1' to the clock terminal of the one corresponding D flip-flop 18 of the test interface 16. Meanwhile, the output from the compressed pattern memory 34 (a '1' in this embodiment) is sent to the data input terminal D of all of the D flip-flops 18. Accordingly, the datum '1' is held only in the D flip-flop 18 selected by the decoder 46, and, from the Q output terminal thereof, a '1' is sent to the waveform forming and comparing circuit 20.

The processing routines for the apparatus diagrammed in Fig. 5 are described next with reference to Fig. 6.

(50) The CPU 26 reads out the input/output assignment data and compressed data from the magnetic tape 22 via the magnetic tape reader 24, stores those input/output assignment data in the control register 38, stores the numerical count  $k$ , from the compressed data, in the numerical count memory 30, stores the pin number  $i$  in the pin number memory 32, and stores a '1' in all of the bits in the compressed pattern memory 34. The controller circuit 42 clears the contents in the counter 44.

(52) The controller circuit 42 causes the content  $k$  from the numerical count memory 30 to be read out.

(54) If the value of  $k$  is a value indicating the end of the test pattern, such as a hexadecimal 'FFF,' for example, the processing is terminated, but if that is not so,

(56) The reset signal RESET is sent to the reset terminal of all of the D flip-flops 18 in the test interface 16 and all of the Q outputs thereof are made '0.'

(58) If  $k \neq 0$ ,

(60) Pin numbers and logical values are read out respectively from the memories 32 and 34,

(62) The value of  $k$  is decremented, one pulse is sent to the counter 44, the contents of the counter 44 are incremented, and step 58 is returned to.

If in step 58  $k = 0$ , the pre-compression test patterns are extracted from the Q outputs of all of the D flip-flops 18 in the test interface 16 and sent to the waveform forming and comparing circuit 20.

(64) The controller circuit 42 sends a trigger signal to the waveform forming and comparing circuit 20. As a result, of the test patterns, the input pattern is sent to the logic circuit on the board 10 being tested. The controller circuit 42 sends one clock pulse to this logic circuit, causing it to operate. The waveform forming and comparing circuit 20 compares the output pattern at that time with the normal output pattern. The CPU 26 writes the results of that comparison to the test result memory 40.

Then step 52 is returned to and the processing described above is repeated.

## (2) Second Embodiment

In this second embodiment, the hardware configuration is identical to that of first embodiment.

Fig. 7 represents data resulting from the compression of the test pattern diagrammed in Fig. 3 by a second method. These compressed data comprise, of the bit data configuring the test pattern, the bits effective for testing, the pin numbers *i* and logical values *j* of those bits the values whereof differ from the effective bits corresponding to the previous test pattern, and all of the numerical counts *k* of the pin numbers belonging to that test pattern.

With test pattern number 2, for example, the pin number *i* comprises a 3 and an 8, and has respective logical values '1' and '0,' and the numerical count *k* is 2. With test pattern number 7, the pin number 4 has a logical value '1,' but, in test pattern number 6, the logical value of that pin number is '1,' wherefore there are no pin number data, and the numerical count *k* is 0. The numerical counts *i* and logical values *j* exhibit a 1-to-1 correspondence, and are stored in corresponding addresses in the pin number memory 32 and compressed pattern memory 34 indicated in Fig. 5.

Fig. 8 represents the processing routines for the apparatus diagrammed in Fig. 5 in this second embodiment.

In these processing routines, step 56 indicated in Fig. 6 is not included, and there is no need to reset the D flip-flops 18 for each test pattern, so processing becomes faster by that measure. In step 50A, moreover, there is a difference from the first embodiment in that the compressed test pattern comprising the logical values *j* noted above is written to the [compressed pattern] memory 34. On all other points [this second embodiment] is identical to the first embodiment.

Various other modification examples are also comprehended in the present invention.

For example, in the embodiments described in the foregoing, the descriptions are given for cases where the input/output points are external terminals of a logic circuit (such as an LSI or PC board). However, in cases where the flip-flops in the logic circuit being tested in the test mode are connected in series and shift registers are configured (cases of a so-called scanning scheme), the input/output points may of course be those flip-flops.

#### **(Benefits of Invention)**

As described in the foregoing, if the logic circuit testing method and apparatus therefor relating to the present invention are employed, compressed data from which the ineffective data that generally accounts for the major portion of the data of a test pattern have been removed are used. Therefore, outstanding benefits are realized in that the data volume is greatly reduced, for which reason the number of memory media necessary for storing test patterns can be diminished, it ceases to be necessary to frequently transfer data from an external memory device to the test pattern memory, both data transfer time and the time required for testing can be shortened, and [the invention] will contribute greatly to shortening the development times for logic LSIs and the like and to making testing systems smaller in size.

#### **4. Brief Description of Drawings**

Fig. 1(A) and 1(B) are block diagrams representing the configuration of the basic principle of the invention, and

Fig. 2 is a diagram for describing the memory content in the compressed data storage means indicated in Fig. 1.

Fig. 3 to Fig. 6 relate to a first embodiment of the present invention, wherein

Fig. 3 is a table representing one example of a test pattern,

Fig. 4 is a table representing compressed data for that test pattern,

Fig. 5 is a block diagram representing the configuration of the critical components of a logic circuit testing apparatus which uses compressed data, and

Fig. 6 is a flowchart of the processing routines for the apparatus diagrammed in Fig. 5.

Fig. 7 and Fig. 8 relate to a second embodiment of the present invention, wherein

Fig. 7 is a table representing compressed data for the test pattern diagrammed in Fig. 3, and

Fig. 8 is a flowchart of the processing routines for the apparatus diagrammed in Fig. 5.

In the drawings,

10 is a board being tested

16 is a test interface

18 is a D flip-flop

20 is a waveform forming and comparing circuit

30 is a numerical count memory

32 is a pin number memory

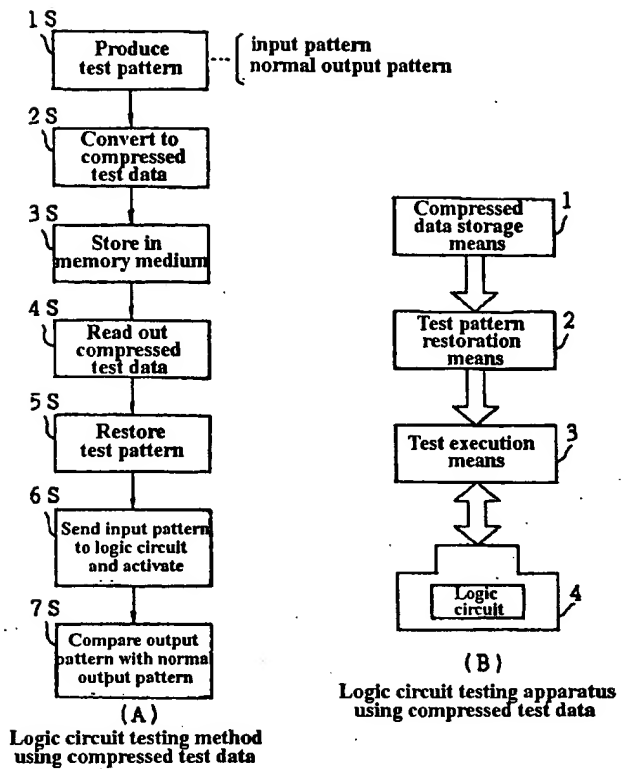
34 is a compressed pattern memory

38 is a control register

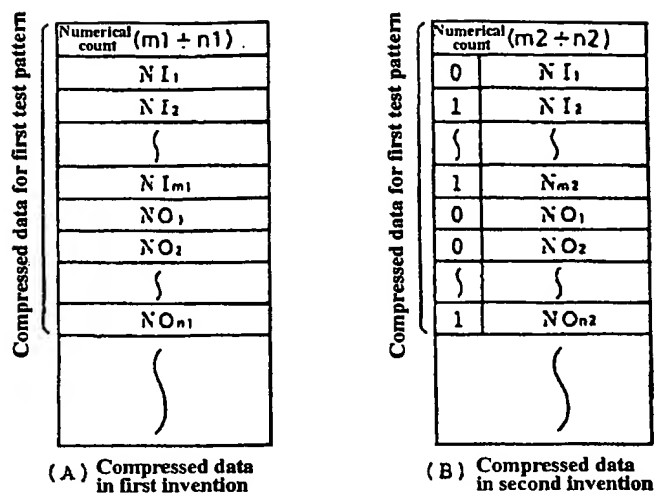
42 is a controller circuit

46 is a decoder

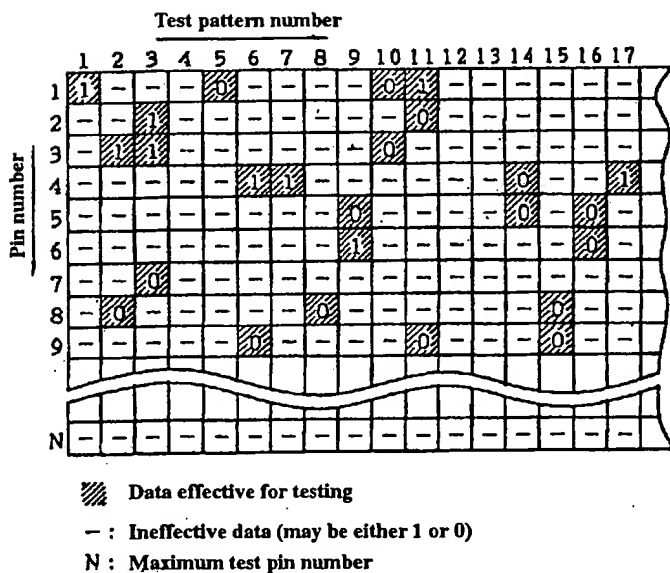
Agent      Sadakazu Igeta, patent attorney (and two others)



**Fig. 1 Configuration of basic principle of invention**



**Fig. 2**  
Diagram for describing the memory content in the compressed data storage means



**Fig. 3** Test pattern

Test pattern number	Numerical count
1	1
	Pin number 0 0 0 1
2	1
	Pin number 0 0 0 3
3	2
	Pin number 0 0 0 2
	Pin number 0 0 0 3
4	0
5	0
6	1
	Pin number 0 0 0 4
7	1
	Pin number 0 0 0 4
8	0
	Numerical count 1
9	
	Pin number 0 0 0 6

**Fig. 4** Compressed data for test pattern

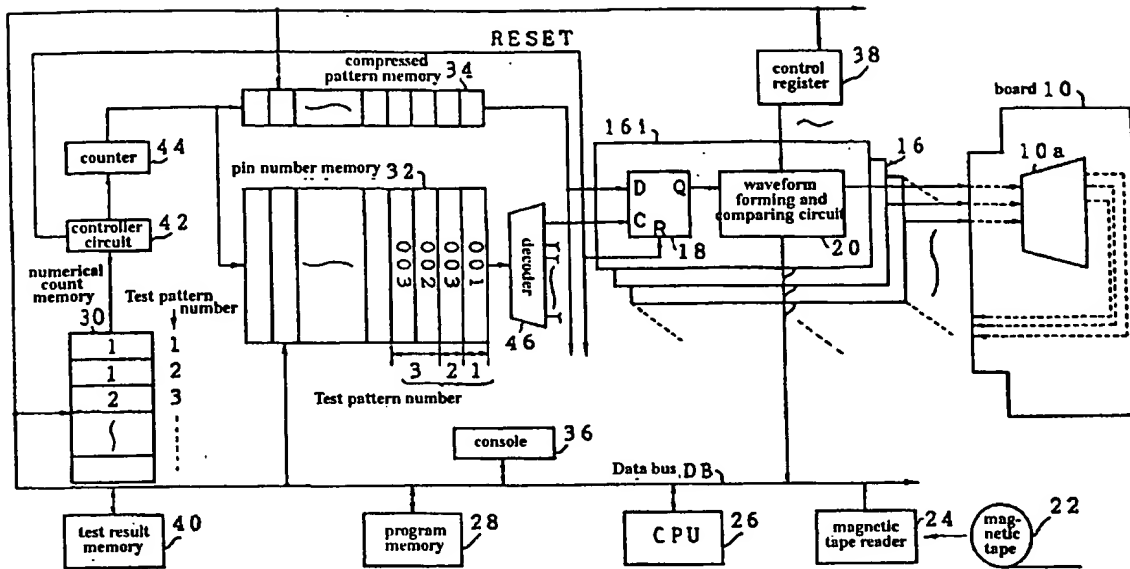


Fig. 5 Diagram of configuration of critical components of logic circuit testing apparatus

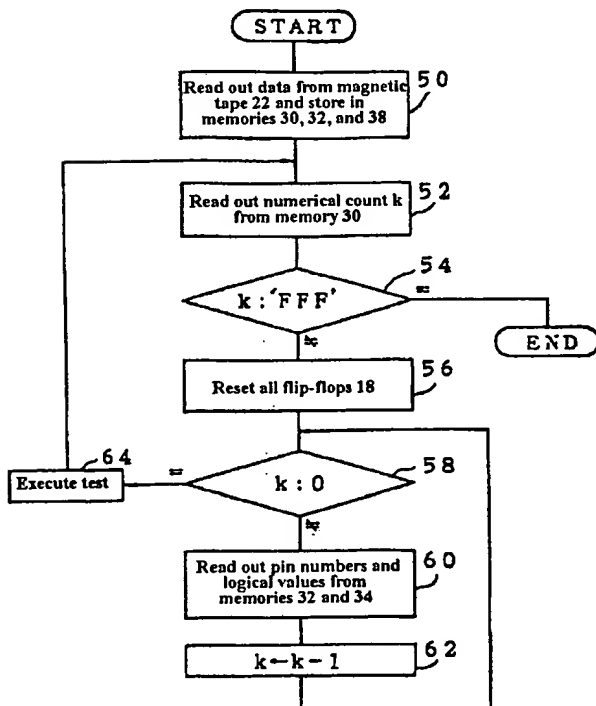


Fig. 6

Flowchart of processing routines for apparatus diagrammed in Fig. 5 (first embodiment)

Test pattern number	Logical value
1	Numerical count 1
1	1 0001 — Pin number
2	Numerical count 2
1	0003
0	0008
3	Numerical count 2
1	0002
0	0007
4	Numerical count 0
5	Numerical count 1
0	0001
6	Numerical count 2
1	0004
0	0009
7	Numerical count 0
8	Numerical count 0

Fig. 7 Compressed data for test pattern



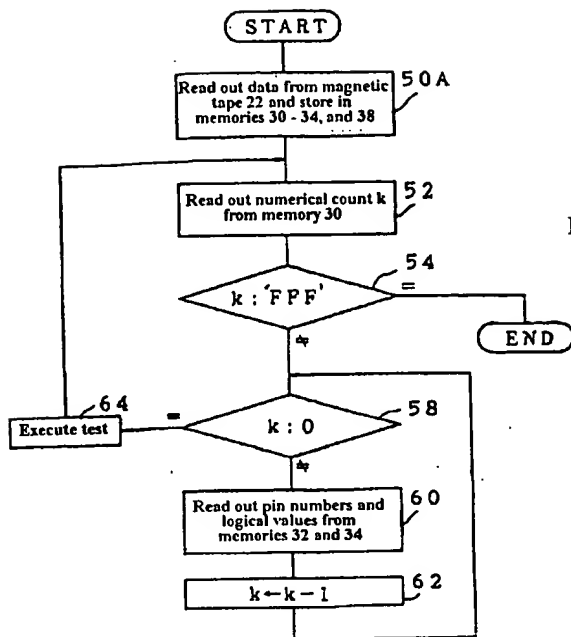


Fig. 8

Flowchart of processing routines for apparatus diagrammed in Fig. 5 (second embodiment)

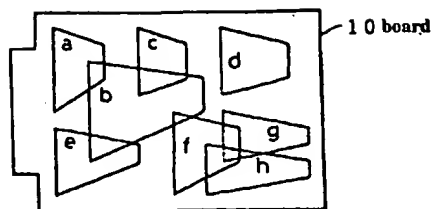


Fig. 9 Diagram for explaining logic circuit division

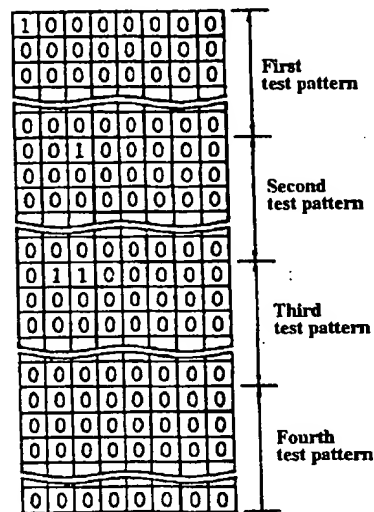


Fig. 10 Test patterns

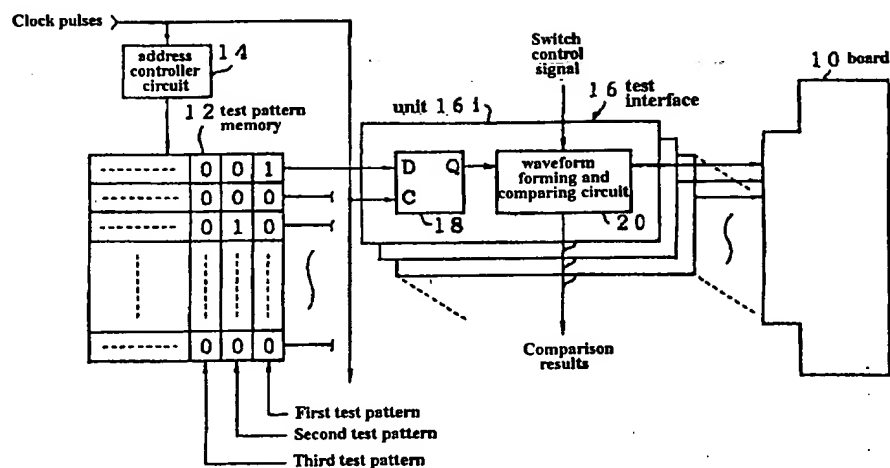


Fig. 11

Diagram of configuration of critical components of a logic circuit testing apparatus (prior art)

*[Translator's note: As requested, translation of the cover of the Procedural Amendment is omitted herein.]*

## **7. Content of Amendment**

(1) The following text is inserted into the specification between lines 10 and 11 on page 22 [in the original].

"Fig. 9 to 11 relate to descriptions of problems with the prior art, wherein

Fig. 9 is a diagram for explaining logic circuit division,

Fig. 10 is a table representing test patterns, and

Fig. 11 [typo assumed; lit. *Line 11*] is a block diagram of the configuration of the critical components in a logic circuit testing apparatus."

(2) "2" in line 1 on page 4 of the specification is amended to "3."

### *[Translator's notes]*

1. *Shiken* [Japanese for "test"] and *tesuto* [English transliteration] appear to be used interchangeably, and are both translated *test* (*mutatis mutandis*) herein.

2. Original *yuukou* is consistently rendered as *effective* herein but it may also be translated as *valid*.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-2579

⑬ Int.Cl.<sup>1</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月8日

G 01 R 31/318

6912-2G G 01 R 31/28

A

審査請求 未請求 請求項の数 3 (全12頁)

⑮ 発明の名称 圧縮データを用いた論理回路試験方法及びその装置

⑯ 特 願 平1-136504

⑰ 出 願 平1(1989)5月30日

⑱ 発 明 者 亀 山 修 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 篠 田 耕 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 発 明 者 大 野 文 男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

㉑ 発 明 者 山 本 真 二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

㉒ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉓ 代 理 人 弁理士 井 桁 貞一 外2名

明 細 書

1. 発明の名称

圧縮データを用いた論理回路試験方法及びその装置

2. 特許請求の範囲

1)、試験対象である論理回路の設計データを用いて、該論理回路に対する試験用入力パターンと該入力パターンに対する該論理回路の正常出力パターンとからなるテストパターンを作成し(15)、該テストパターンから試験に有効なデータを抽出することにより該テストパターンを圧縮データに変換し(25)、

該圧縮データを記憶媒体に記憶し(35)、

該記憶媒体から該圧縮データを順次読み出し(45)、

読み出された該圧縮データから圧縮前のテストパターンを復元し(55)、

復元した該入力パターンを該論理回路に供給し

て該論理回路を動作させ(65)、

該論理回路の出力パターンと復元した該正常出力パターンとを比較する(75)

ことを特徴とする、圧縮データを用いた論理回路試験方法。

2)、入力パターンと正常出力パターンとの組合せからなる各テストパターンについて、該テストパターンを構成するビットデータのうちのテストに有効なビットかつ1値の一方の値を有するビットに対応した入出力点識別番号と、該テストパターンに属する該入出力点識別番号の個数とからなる圧縮データを記憶する手段(1)と、

該記憶手段から該圧縮データを順次読み出し、該圧縮データから圧縮前のテストパターンを復元するテストパターン復元手段(2)と、

復元した該入力パターンを試験対象である論理回路(4)に供給して該論理回路を動作させ、該論理回路の出力パターンと復元した該正常出力パターンとを比較することにより該論理回路の試験を行う試験実行手段(3)と、

## 特開平 3-2579(2)

を有することを特徴とする、圧縮データを用いた論理回路試験装置。

3)、入力パターンと正常出力パターンとの組合せからなる各テストパターンについて、該テストパターンを構成するビットデータのうち試験に有効なビットかつ該ビットの値が前回値と異なるビットに対応した入出力点識別番号と、該入出力点識別番号に対応した該ビットの値と、該テストパターンに属する該入出力点識別番号の個数とからなる圧縮データを記憶する手段(1)と、

該記憶手段から該圧縮データを順次読み出し、該圧縮データから圧縮前のテストパターンを復元するテストパターン復元手段(2)と、

復元した該入力パターンを試験対象である論理回路(4)に供給して該論理回路を動作させ、該論理回路の出力パターンと復元した該正常出力パターンとを比較することにより該論理回路の試験を行う試験実行手段(3)と、

を有することを特徴とする、圧縮データを用いた論理回路試験装置。

- 3 -

試験対象である論理回路の設計データを用いて、該論理回路に対する試験用入力パターンと該入力パターンに対する該論理回路の正常出力パターンとからなるテストパターンを作成し、該テストパターンから試験に有効なデータを抽出することにより該テストパターンを圧縮データに変換し、該圧縮データを記憶媒体に記憶し、該記憶媒体から該圧縮データを順次読み出し、読み出された該圧縮データから圧縮前のテストパターンを復元し、復元した該入力パターンを該論理回路に供給して該論理回路を動作させ、該論理回路の出力パターンと復元した該正常出力パターンとを比較するよう構成する。

## 【産業上の利用分野】

本発明はテストパターンを圧縮したデータを用いて論理回路の動作試験を行う論理回路試験方法及びその装置に関する。

## 2. 発明の詳細な説明

## 【目次】

## 概要

## 産業上の利用分野

## 従来の技術(第9~11図)

## 発明が解決しようとする課題

## 課題を解決するための手段(第1~2図)

## 作用

## 実施例

## 第1実施例(第3~6図)

## 第2実施例(第7~8図)

## 発明の効果

## 【概要】

テストパターンを圧縮したデータを用いて論理回路の動作試験を行う論理回路試験方法及びその装置に関し、

必要なテストパターン格納用記憶媒体を少なくしてデータ転送時間及び試験所要時間を短縮することを目的とし、

- 4 -

## 【従来の技術】

論理回路の動作試験では、タスターを用いて、入力パターンと正常出力パターンとの組合せからなるテストパターンのうち、入力パターンを論理回路に供給し、論理回路に1個のクロックパルスを供給してこの論理回路を動作させた後その出力パターンと正常出力パターンとを比較して論理回路の動作が正常であるかどうかを判定する。このテストパターンは、前記タスターとは別個の計算機を用いて、検査対象である論理回路の設計データに基づき作成される。

しかし、検査パターン作成時間は論理回路の規模が大きくなるほど長時間となり、論理回路のゲート数をGとすると、テストパターン作成時間は平均してG<sup>1/2</sup>に比例すると言われている。そこで、大規模な論理回路を試験する場合には、例えば第9図に示す如く、被試験ボード10上の論理回路を試験上互いに独立な部分論理回路a~hに分割し、各部分論理回路毎にテストパターンを供給して試験を行う方式が採用されている。各部

- 5 -

- 514 -

- 6 -

分論理回路は出力側から入力側に向けてその入力点及び出力点が決定され、一般には、他の部分回路と一部重複する。

第10図は複数の部分論理回路に分割した論理回路に対するテストパターンを示しており、このテストパターンは、部分論理回路及びテスト目的に応じた多数のパターンからなる。

第11図はテストパターンを用いた論理回路試験装置の要部構成を示し、テストパターンはテストパターンメモリ12に書き込まれ、アドレス制御回路14により各テストパターンが順次アドレス指定されて、テストインタフェース16に供給される。テストインタフェース16は同一構成のユニット18iをテスト用入出力点数（例えば、LSIの試験では数千点）分だけ備えており、各ユニット18iは、テストパターンを構成する1ビットのデータをクロックパルスのタイミングで保持するDフリップフロップ18と、Dフリップフロップ18のQ出力端と被試験ボード10の1個の端子との間に接続された波形成形・比較回路20とからなる。この波形成形・比較回路20は、切換制御信号が例えば高レベルの場合には出力波形成形回路として機能し、この回路で成形されたパルスを被試験ボード10へ供給する。一方、切換制御信号が例えば低レベルの場合には比較回路として機能し、被試験ボード10から供給される出力パターンのビットデータとDフリップフロップ18のQ出力とを比較してその比較結果を出力する。

#### 【発明が解決しようとする課題】

しかし、各部分論理回路及びテスト目的に応じた多数のテストパターンをテストパターンメモリ12に書き込む必要があるので、テストパターンのデータ量が膨大となる。このため、テストパターンを格納するための記憶媒体、例えば磁気テープが多数（LSIの場合10巻程度）必要となり、マスターのテストパターンメモリへ頻りにデータを転送する必要があるためデータ転送時間及び試験所要時間が長くなるという問題点があった。

- 1 -

本発明の目的は、このような問題点に鑑み、必要なテストパターン格納用記憶媒体を少なくしてデータ転送時間及び試験所要時間を短縮することができる論理回路試験方法及びその装置を提供することにある。

#### 【課題を解決するための手段】

第1図(A)は本発明に係る論理回路試験方法の原理構成を示す。この方法は、基本的に次のステップ1S〜7Sを有する。

ステップ1Sでは、試験対象である論理回路の設計データを用いて、該論理回路に対する試験用入力パターンと該入力パターンに対する該論理回路の正常出力パターンとからなるテストパターンを作成する。

ステップ2Sでは、該テストパターンから試験に有効なデータを抽出することにより該テストパターンを圧縮データに変換する。

ステップ3Sでは、該圧縮データを記憶媒体、例えば磁気テープに記憶する。

ステップ4Sでは、該記憶媒体から該圧縮データを順次読み出す。

ステップ5Sでは、読み出された該圧縮データから圧縮前のテストパターンを復元する。

ステップ6Sでは、復元した該入力パターンを該論理回路に供給して該論理回路を動作させる。

ステップ7Sでは、該論理回路の出力パターンと復元した該正常出力パターンとを比較する。

第1図(B)は本発明に係る論理回路試験装置の原理構成を示すブロック図である。この装置は、上記方法のステップ4S〜7Sを実施するための装置である。なお、ステップ1S〜3Sは計算機で実施される。

図中、1は圧縮データ記憶手段であり、入力パターンと正常出力パターンとの組合せからなる各テストパターンについて、第1発明では第2図(A)に示す如く、該テストパターンを構成するビットデータのうち試験に有効なビットかつ2値の一方の値を有するビットに対応した入力点識別番号#11、#12〜#1n及び出力点識別番号#01、#02〜

## 特開平 3-2579(4)

NO1と、該テストパターンに属する該入出力点識別番号の個数( $n1 \times n1$ )とからなる圧縮テストデータを記憶し、第2発明では第2図(B)に示す如く、該テストパターンを構成するビットデータのうち試験に有効なビットかつ該ビットの値が前回値と異なるビットに対応した入力点識別番号N11、N12~N1n2及び出力点識別番号N01、N02~N0n2と、該入出力点識別番号に対応した該ビットの値'0'又は'1'と、該テストパターンに属する該入出力点識別番号の個数( $n2 \times n2$ )とからなる圧縮データを記憶する。

2はテストパターン復元手段であり、該記憶手段1から該圧縮データを順次読み出し、該圧縮データから圧縮前のテストパターンを復元する。

3は試験実行手段であり、復元した該入力パターンを試験対象である論理回路4に供給して論理回路4を動作させ、論理回路4の出力パターンと復元した該正常出力パターンとを比較することにより論理回路4の試験を行う。

- 11 -

た、各テストパターンを番号で区別する。各テストパターンはある部分論理回路のある動作試験を行うためのものであり、表中の'-'はその試験に無効なデータであって、論理'1'または'0'のいずれであってもよい。

第4図は第3図に示すテストパターンを圧縮したデータを示す。この圧縮データは、テストパターンを構成するビットデータのうち試験に有効なビットかつ論理'1'を有するビットに対応したピン番号iと、このテストパターンに属する該ピン番号の個数kとからなる。例えば第4図において、番号1のテストパターンはピン番号1が1のみで個数kが1であり、番号3のテストパターンはピン番号1が2と3で個数kが2であり、番号8のテストパターンはピン番号1が低く個数kが0である。このようにすればテストパターンを大幅に圧縮することができる。

テストパターンは不図示の高速計算機、通常ミニコンピュータまたはスーパーミニコンピュータを用い、論理回路の設計データに基づいて作成さ

## 【作用】

テストパターンのデータのうち、一般にその大部分を占める無効データが除去されて上述の如くテストパターンが圧縮されるので、データ量が大幅に少なくなる。このため、必要なテストパターン格納用記憶媒体を少なくすることができる。例えば、従来必要とした10巻の磁気テープは、本発明によれば3巻で足りる。また、外部記憶装置からテストパターンメモリへ頻りにデータの転送を行う必要がないのでデータ転送時間及び試験所要時間を短縮することができる。

## 【実施例】

以下、図面に基づいて本発明の実施例を説明する。

## (1) 第1実施例

第3図は、検査対象である論理回路に対するテストパターンを示す。

この論理回路の全入出力点数Nは例えば2,000であり、各入出力点をピン番号1~Nで示す。ま

- 12 -

れ、上記の如く圧縮されて磁気テープに書き込まれる。論理回路がLSIの場合、この磁気テープはデータ圧縮を行わなないと10巻程度にもなるが、この圧縮により3巻程度で足りる。当該磁気テープには、各ピン番号が入力点であるか出力点であるかを示す入出力割付データも書き込まれる。

第5図は圧縮データを用いた論理回路試験装置(マスター)の要部構成を示す。該試験ボード10上の論理回路についてのテストパターンを圧縮したデータ及び入出力割付データは、磁気テープ22に書き込まれており、磁気テープ読取装置24により読み出される。CPU26はプログラムメモリ28に書き込まれたプログラムに従って、磁気テープ読取装置24で読み取られたテストパターンを上記の如く圧縮し、その圧縮データを、テストパターンメモリの一部を構成する個数メモリ30及びピン番号メモリ32へ書き込む。圧縮パターンメモリ34にはピン番号メモリ32に書き込まれたピン番号の論理値が書き込まれ、本実施例では全て'1'が書き込まれる。また、各テス

- 13 -

- 616 -

- 14 -

## 特開平 3-2579(5)

トインタフェース16iの波形成形・比較回路20に対し1ビットが対応する制御レジスタ38には、ピン番号1~Nの各々について、上記入出力割付データに基づき、入力点であるか出力点であるかが書き込まれる。

テストインタフェース16は第11図に示すものと同一構成であり、その構成要素には第11図に示す符号と同一符号を付して省略する。但し、全てのDフリップフロップ18のリセット端子にはリセット信号RBSSTを供給するための信号線が共通に接続されている。ユニット16iの波形成形・比較回路20は制御レジスタ38の対応するビットデータによりその機能が上述の如く切り換えられる。すなわち、波形成形・比較回路20は、対応するピン番号のピンが入力点であれば波形成形回路として機能し、出力点であれば比較回路として機能する。波形成形・比較回路20から出力される比較結果は、データバスDBを介してテスト結果メモリ40に書き込まれる。このデータバスDBは上記構成要素24~38間も接続してい

る。

制御回路42は各テストパターンについて個数メモリ30から1つの個数kを読み出し、カウンタ44を介しピン番号メモリ32及び圧縮パターンメモリ34をアドレス指定して、このテストパターンに属するk個のピン番号データ及びパターンデータを順次読み出し、それぞれデコード46、Dフリップフロップ18へ供給させる。デコード46は、ピン番号メモリ32から供給されるピン番号を解読して、テストインタフェース16の対応する1個のDフリップフロップ18のクロック端子に'1'を供給する。一方、圧縮パターンメモリ34の出力（本実施例では'1'）はテストインタフェース16の全てのDフリップフロップ18のデータ入力端子Dに供給される。したがって、デコード46により選択されたDフリップフロップ18のみにデータ'1'が保持され、そのQ出力端子から波形成形・比較回路20へ'1'が供給される。

次に、第6図に基づいて第5図に示す装置の処

- 15 -

理手順を説明する。

(50) CPU26は磁気テープ読取装置24を介し磁気テープ22から入出力割付データ及び圧縮データを読み出し、この入出力割付データを制御レジスタ38に格納し、圧縮データのうち、個数kを個数メモリ30へ格納し、ピン番号1をピン番号メモリ32へ格納し、また、圧縮パターンメモリ34の全ビットに'1'を格納する。制御回路42は、カウンタ44の内容をクリアする。

(52) 制御回路42は、個数メモリ30からその内容kを読み出させる。

(54) kの値がテストパターンの終了を示す値、例えば16進数'FFF'であれば処理を終了し、そうでなければ、

(56) リセット信号RBSSTをテストインタフェース16の全Dフリップフロップ18のリセット端子Rに供給してそのQ出力を全て'0'とし、

(58)  $k \neq 0$  であれば、

(60) メモリ32、34からそれぞれピン番号及び圧縮値を読み出し、

- 16 -

(62) kの値をデクリメントし、カウンタ44に1個のパルスを提供してカウンタ44の内容をインクリメントし、ステップ58へ戻る。

ステップ58で $k=0$ となれば、テストインタフェース16の全Dフリップフロップ18のQ出力から圧縮前のテストパターンが取り出されて、各波形成形・比較回路20へ供給されている。

(64) 制御回路42は波形成形・比較回路20へトリガ信号を供給する。これにより、テストパターンのうち入力パターンが被試験ボード10の論理回路に供給される。制御回路42は1個のクロックパルスはこの論理回路に供給して動作させる。波形成形・比較回路20はこのときの出力パターンを正常出力パターンと比較する。CPU26はこの比較結果をテスト結果メモリ40へ書き込む。

次に、ステップ52へ戻って上記処理を繰り返す。

(2) 第2実施例

この第2実施例では、ハードウェア構成は第1

- 17 -

- 617 -

- 18 -

実施例と同一である。

第1図は第3図に示すテストパターンを第2の方法により圧縮したデータを示す。この圧縮データは、テストパターンを構成するビットデータのうち、試験に有効なビットかつこのビットの値がその前のテストパターンの対応する有効ビットの値と異なるもののピン番号1と、その論理値1と、このテストパターンに属するピン番号の全個数kとからなる。

例えば番号2のテストパターンでは、ピン番号1は3と8とからなりそれぞれ論理値'1'、'0'を持ち、個数kは2である。また、番号1のテストパターンでは、ピン番号4が論理値'1'を持つが、番号8のテストパターンに於いてこのピン番号の論理値が'1'であるので、ピン番号データは無く、個数kは0である。個数1と論理値1とは1対1に対応しており、それぞれ第5図に示すピン番号メモリ32と圧縮パターンメモリ34の対応するアドレスに格納される。

第8図はこの第2実施例に於ける第5図に示す

- 19 -

方法及びその装置によれば、テストパターンのデータのうち一般にその大部分を占める無効データを除去した圧縮データを用いるので、データ量が大幅に少なくなり、このため、必要なテストパターン格納用記憶媒体を少なくすることができ、外部記憶装置からテストパターンメモリへ搬送データの転送を行う必要がなくなり、データ転送時間及び試験所要時間を短縮することができるという優れた効果を奏し、論理LSI等の開発期間短縮化及び試験システムの小型化に寄与するところが多い。

#### 4. 図面の簡単な説明

第1図(A)及び(B)は本発明の原理構成を示すブロック図、

第2図は第1図に示す圧縮データ記憶手段の記憶内容説明図である。

第3図乃至第6図は本発明の第1実施例に係り、

第7図はテストパターンの一例を示す表、

第8図はこのテストパターンの圧縮データを示す

装置の処理手順を示す。

この処理手順では、第6図に示すステップ56がなく、テストパターン毎にDフリップフロップ18をリセットする必要がないので、その分、処理が高速となる。また、ステップ50Aで、メモリ34へ上記論理値1からなる圧縮テストパターンを書き込む点で第1実施例と異なる。他の点は第1実施例と同一である。

なお、本発明には外にも種々の変形例が含まれる。

例えば、上記各実施例では入出力点が論理回路(LSI)またはPCボード等の外部端子である場合を説明したが、入出力点は、テストモードで被試験論理回路内のフリップフロップが直列接続されてシフトレジスタが構成される場合(いわゆるスキャン方式の場合)の該フリップフロップであってもよいことは勿論である。

#### (発明の効果)

以上説明した如く、本発明に係る論理回路試験

- 20 -

す表、

第5図は圧縮データを用いた論理回路試験装置の要部構成を示すブロック図、

第6図は第5図に示す装置の処理手順を示すフローチャートである。

第7図及び第8図は本発明の第2実施例に係り、

第7図は第3図に示すテストパターンの圧縮データを示す表、

第8図は第5図に示す装置の処理手順を示すフローチャートである。

#### 図中

- 10は被試験ボード
- 16はテストインタフェース
- 18はDフリップフロップ
- 20は波形成形・比較回路
- 30は個数メモリ
- 32はピン番号メモリ
- 34は圧縮パターンメモリ
- 38は制御レジスタ

- 21 -

- 618 -

- 22 -



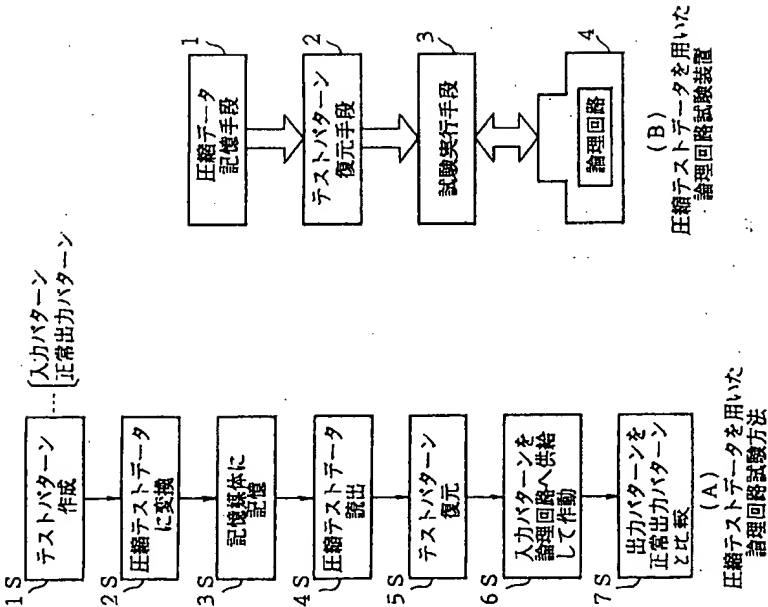
4 2 は 制 御 回 路

4 6 は デ コ ー ダ

代 理 人   弁 理 士   井 桁 貞 一 ( 特 許 代 理 人 2 名 )



- 2 3 -



発明の原理構成  
第 1 図

第1テストパターン  
の圧縮データ

個数 (m1 + n1)	
	NI <sub>1</sub>
	NI <sub>2</sub>
	}
	NI <sub>m1</sub>
	NO <sub>1</sub>
	NO <sub>2</sub>
	}
	NO <sub>n1</sub>
	}

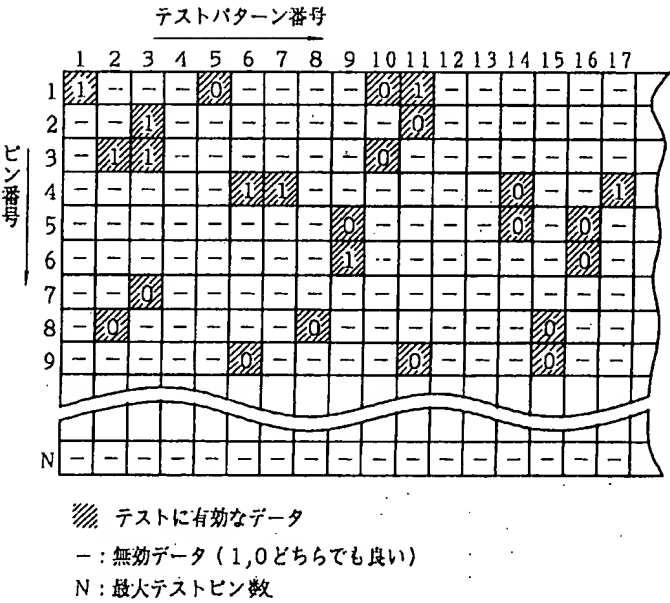
(A) 第1発明の圧縮データ

第1テストパターン  
の圧縮データ

個数 (m2 + n2)	
0	NI <sub>1</sub>
1	NI <sub>2</sub>
}	}
1	Nm <sub>2</sub>
0	NO <sub>1</sub>
0	NO <sub>2</sub>
}	}
1	NO <sub>n2</sub>
	}

(B) 第2発明の圧縮データ

圧縮データ記憶手段の記憶内容説明図  
第2図

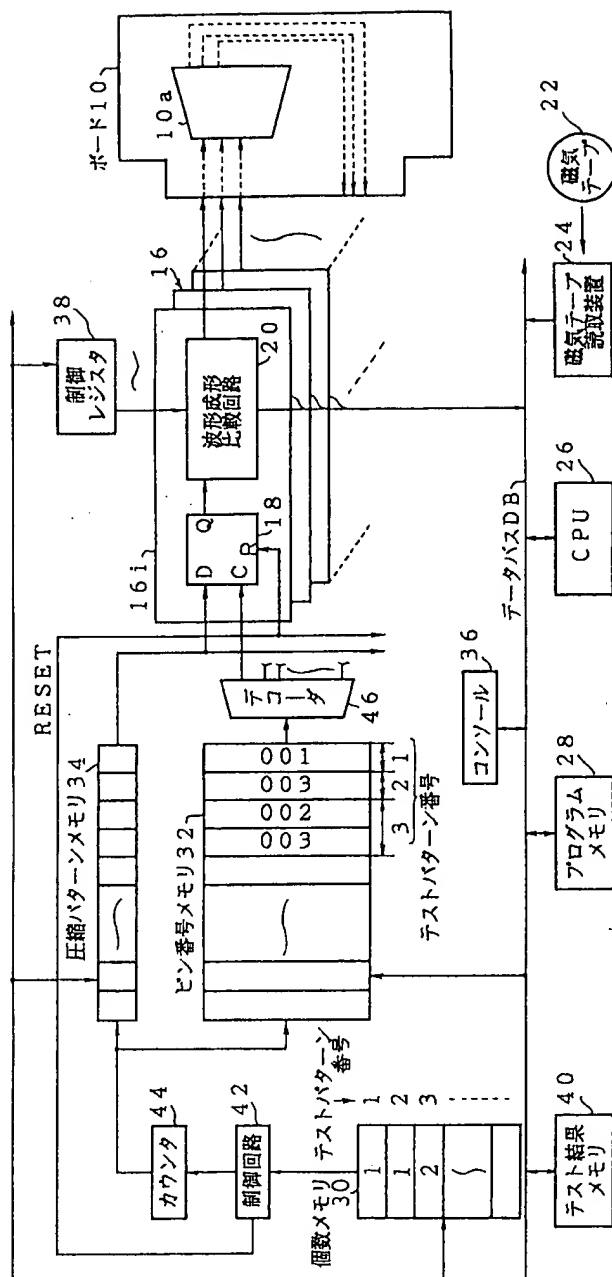


テストパターン  
第3図

テストパターン  
番号

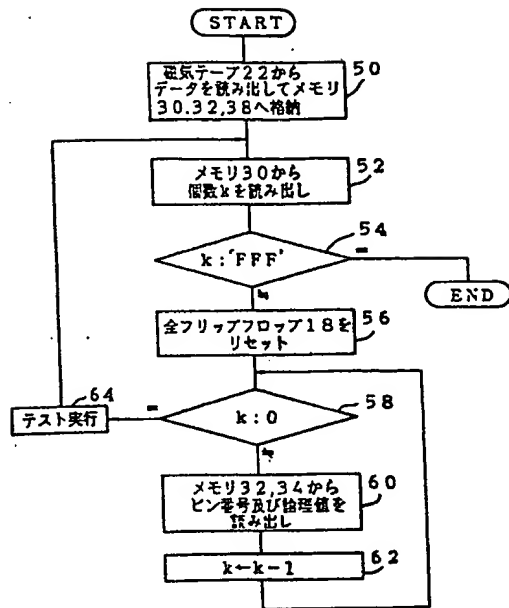
1	個数 1 ピン番号0001
2	個数 1 ピン番号0003
3	個数 2 ピン番号0002 ピン番号0003
4	個数 0
5	個数 0
6	個数 1 ピン番号0004
7	個数 1 ピン番号0004
8	個数 0
9	個数 1 ピン番号0006

テストパターンの圧縮データ  
第4図



## 第5図 論理回路試験装置の要部構成図

特開平 3-2579(10)

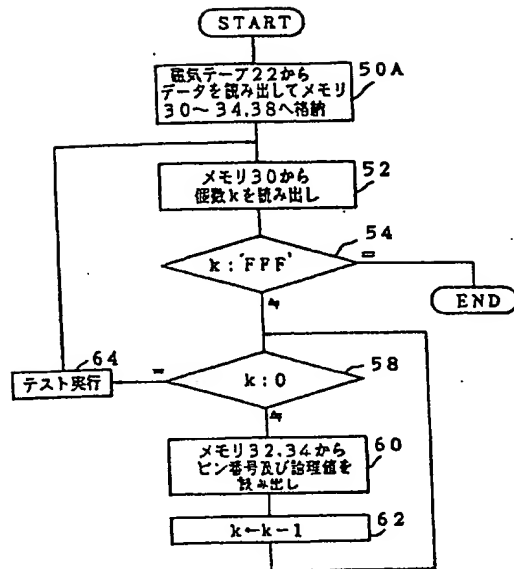


第5図に示す装置の処理手順を示す  
フローチャート(第1実施例)  
第6図

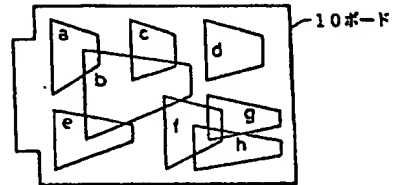
テストパターン番号		給電値		ピン番号
1	2	個数	値	
1	1	個数 1	0001	
2	1	個数 2	0003	
3	0	個数 2	0008	
4	1	個数 0	0002	
5	0	個数 1	0007	
6	0	個数 2	0001	
7	1	個数 0	0004	
8	0	個数 0	0009	
		個数 0		

テストパターンの圧縮データ  
第7図

特開平 3-2579(11)



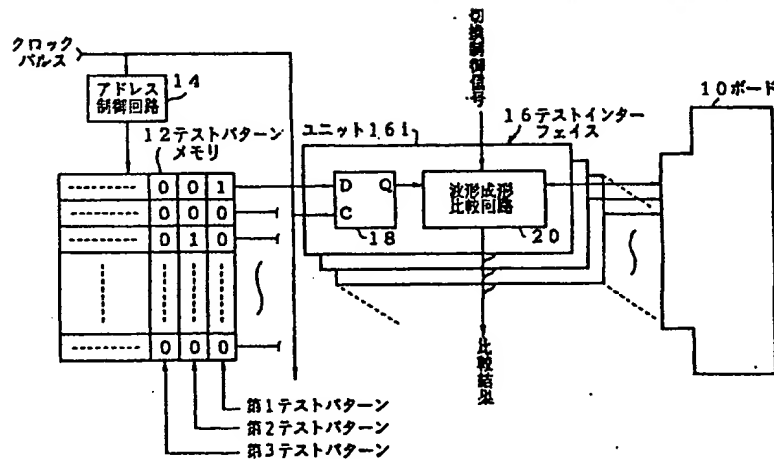
第5図に示す装置の処理手順を示す  
フローチャート(第2実施例)  
第8図



論理回路分割説明図  
第9図

1	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0

テストパターン  
第10図



論理回路試験装置の要部構成図  
(従来技術)

第11図

特開平 3-2579(12)

平 校 補 正 書 (方式) (昭)

平成 年 10.8 月 適 日

特許庁長官殿

1. 事件の要旨  
平成10年特許第136504号
2. 発明の名称  
圧縮データをを用いた論理回路試験方法及びその装置
3. 補正をする者  
事件との関係 特許出願人  
住所 神奈川県川崎市中原区上小田中1815番地  
名称 (522) 富士通株式会社  
代表者 山本卓典
4. 代理人  
住所 神奈川県川崎市中原区上小田中1815番地  
富士通株式会社内  
氏名 (7259) 弁理士 井野直  
電話 044-754-3025
5. 補正命令の日付  
平成10年9月26日(受達日)
6. 補正の対象  
発明の詳細な説明の欄(4)の図1及び図2

1. 修正の内容
- (1) 明細書第22頁第10行と第11行との間に次の文章を挿入する。
- 「第9図乃至第11図は従来は拘の関節点切欠に係り、第9図は輪延四角分割図、第10図はテストパターンを示す表、第11行は輪延四角試験装置の要部構成を示すブロック図である。」
- (2) 明細書第4頁第1行に「2」とあるのを「3」と修正する。

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-002579

(43)Date of publication of application : 08.01.1991

(51)Int.Cl.

G01R 31/318

(21)Application number : 01-136504

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.05.1989

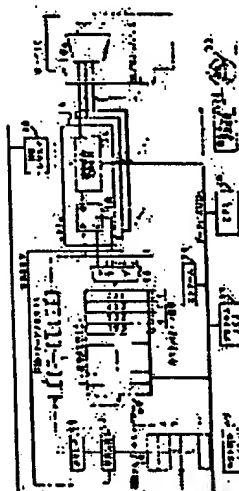
(72)Inventor : KAMEYAMA SHUICHI  
SHINODA KOICHI  
ONO FUMIO  
YAMAMOTO SHINJI

## (54) METHOD AND DEVICE FOR LOGIC CIRCUIT TEST USING COMPRESSED DATA

## (57)Abstract:

PURPOSE: To reduce the need for a storage medium for necessary test pattern storage and to shorten a data transfer time and a required test time by removing ineffective data and compressing a test pattern.

CONSTITUTION: The test pattern is compressed by removing the ineffective data which is generally the majority of the data of the test pattern. Data obtained by compressing the test pattern regarding a logic circuit on a board 10 to be tested and input/output assignment data are written on a magnetic tape 22 and read out by a magnetic tape reader 24. A CPU 26 compresses the test pattern read by the device 24 according to a program and the compressed data is written on a counted number memory 30 and a pin number memory 32 which constitute part of a test pattern memory. The logic value of a pin number written on the pin number memory 32 is written on a compressed pattern memory 34. Thus, the test pattern is compressed, so the amount of data becomes very small and the storage medium for necessary test pattern storage is reducible.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office